

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-133902

(43)Date of publication of application : 20.05.1997

(51)Int.Cl.

G02F 1/025
G02B 6/13
G02B 6/12
H01L 21/3065

(21)Application number : 07-293174

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 10.11.1995

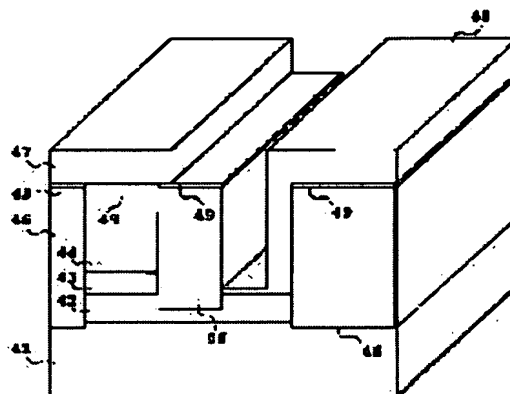
(72)Inventor : YOSHIMOTO NAOTO
MATSUMOTO SHINICHI
KONDO SUSUMU
NOGUCHI ETSUO

(54) WAVEGUIDE TYPE SEMICONDUCTOR OPTICAL ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To make high-speed driving possible, to lower element resistance, to improve element performance and to improve the yield at the time of element formation by equalizing the thickness of the expanded and exposed region of a first clad layer to the thickness of the first clad layer in the striped optical waveguide structure.

SOLUTION: This element has striped optical waveguide structures formed by embedding both sides of a laminated structure successively laminated with the first clad layer 42, a core layer 43, a second clad layer 44 and a conductor layer 45 on a semi-insulating semiconductor substrate 41 by high-resistance semiconductor layers 46. Further, a first electrode 48 arriving at the surface of the high-resistance semiconductor layers 46 is formed in the exposed region of the first clad layer 42 expanded on one side thereof and a second electrode 47 is formed on this contact layer 45. The clad layers are so formed that the thickness of the expanded and exposed region of the first clad layer 42 and the thickness of the first clad layer 42 existing the striped optical waveguide structures are equal to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 1 3 3 9 0 2

(43) 公開日 平成 9 年 (1997) 5 月 2 0 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G02F 1/025			G02F 1/025	
G02B 6/13			G02B 6/12	M
6/12				J
H01L 21/3065			H01L 21/302	A

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号	特願平 7 - 2 9 3 1 7 4	(71) 出願人	0 0 0 0 0 4 2 2 6 日本電信電話株式会社 東京都新宿区西新宿三丁目 1 9 番 2 号
(22) 出願日	平成 7 年 (1995) 1 1 月 1 0 日	(72) 発明者	吉本 直人 東京都新宿区西新宿三丁目 1 9 番 2 号 日 本電信電話株式会社内
		(72) 発明者	松本 信一 東京都新宿区西新宿三丁目 1 9 番 2 号 日 本電信電話株式会社内
		(72) 発明者	近藤 進 東京都新宿区西新宿三丁目 1 9 番 2 号 日 本電信電話株式会社内
		(74) 代理人	弁理士 谷 義一 (外 1 名)

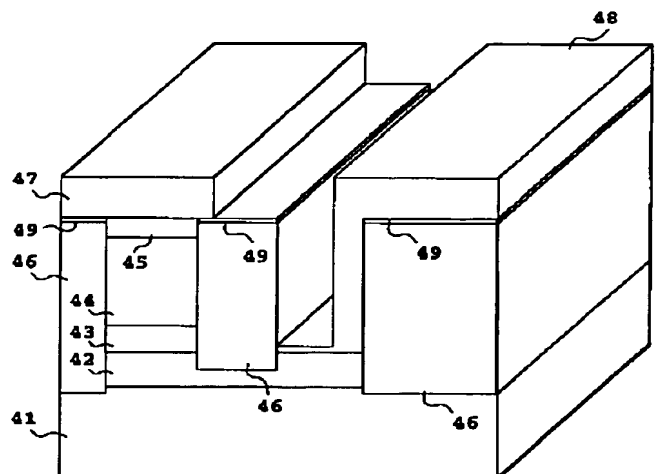
最終頁に続く

(54) 【発明の名称】 導波路型半導体光素子およびその製造方法

(57) 【要約】

【課題】 高速駆動が可能であるとともに、素子の電極金属と半導体の接触抵抗を含む素子抵抗を低減し、素子性能をさらに向上させる、および素子作製時の歩留りを向上させた導波路型半導体光素子およびその製造方法を提供する。

【解決手段】 同一面上にプラス電極とマイナス電極が並列した構造とし、かつ半絶縁性高抵抗基板を用い、メサストライプ構造部分の第 1 の導電形を有するバッファ層の厚さと、露出された第 1 の導電形を有するクラッド層の厚さを等しくし、第 2 のメサストライプの第 2 の導電形を有するコンタクト層、第 2 の導電形を有するクラッド層を逐次ウェットエッチングあるいはドライエッチングとウェットエッチングを併用して、コア層をウェットエッチングで除去し、第 1 の導電形を有するバッファ層を露出させた凹構造を形成する工程を有する。



【特許請求の範囲】

【請求項 1】 第 1 の導電型を有する半導体よりなる第 1 のクラッド層と、該第 1 のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第 2 の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第 2 のクラッド層と、第 2 の導電型を有しエネルギーギャップが前記第 2 のクラッド層より狭いコンタクト層とを半絶縁性半導体基板上に順次積層してなる積層構造の両側を、高抵抗半導体層によって埋め込んだストライプ状の光導波路構造を有し、さらに、前記ストライプ状の光導波路の片側方に拡張された前記第 1 のクラッド層の一部の露出領域に形成され前記高抵抗半導体層の表面に至る第 1 の電極と、前記コンタクト層に形成された第 2 の電極を有する導波路型半導体光素子において、

前記第 1 のクラッド層の拡張され露出した一部領域の厚さが、前記ストライプ状の該光導波路構造中に位置する該第 1 のクラッド層の厚さに等しいことを特徴とする導波路型半導体光素子。

【請求項 2】 半絶縁性半導体基板上に、第 1 の導電型を有するクラッド層と、該第 1 のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第 2 の導電型を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第 2 のクラッド層と、第 2 の導電型を有しエネルギーギャップが第 2 のクラッド層より狭いコンタクト層を、順次積層し、素子基板を形成する第 1 の工程と、

誘電体薄膜からなるエッチングマスクとドライエッチングとを用い、前記素子基板を加工して、前記第 1 のクラッド層によって連結された 2 列のストライプ状のメサを形成する第 2 の工程と、

前記 2 列のメサを半絶縁性半導体で埋め込む第 3 工程と、

前記 2 列のメサの一方のメサに位置する前記コンタクト層と前記第 1 のクラッド層とを除去する第 4 の工程と、前記第 1 のクラッド層に比して選択的に前記コア層を除去する湿式エッチング液を用いて、前記一方のメサに位置する前記コア層を除去する第 5 の工程と、

前記コア層に至るまで除去された前記一方のメサに位置する前記第 1 のクラッド層から前記半絶縁性半導体の表面に至る前記第 1 の電極を形成すると共に、前記 2 列のメサの内の前記一方のメサでない他方のメサに位置する前記コンタクト層上に前記第 2 の電極を形成する第 6 の工程と、を具備していることを特徴とする導波路型半導体光素子の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、高速光伝送用の半導体光素子とその製造方法に関するものである。さらに詳細に述べれば、半絶縁性基板を用いた埋め込み形半導

体光素子とその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】高速の、発光、光変調やスイッチング、受光等を行う場合、素子の電極間のキャパシタンスを低減する必要がある。しかし、従来の p または n 型基板上に作製された素子では、その構造上、上面に信号用の電極が、下面にアース用の電極が配置されており、その電極間のキャパシタンスは避けられない。また、この構造では、複数の素子を配置するときに、個々のどちらかの片側電極が共通になり、融通性に欠ける。

【 0 0 0 3 】上記の理由から、高速用の光素子には、上面に 2 電極を配置して電極間のキャパシタンスを低減した電極構造が採用されてきた。このような光素子としては、例えば、超高速導波路形受光素子が挙げられる（参考文献：IEEE Journal of Quantum Electronics Vol.28 p2728）。

【 0 0 0 4 】上面に 2 電極を持った素子は、フリップチップ実装においても有利である。フリップチップ実装は、PIN フォトダイオード等ですでに使われ、高帯域受信感度特性が得られている（参考文献：例えば、垣次、桂、石塚、林、乗、高知尾、“微小はんだバンプを用いた高速受光モジュールの実装技術”、電子情報通信学会技術研究報告、PP. 17-22、OQE91-63、1991）。

【 0 0 0 5 】図 1 は、従来例として高速光素子を説明する斜視図である。図中、11 は Fe ドープ半絶縁性 InP 基板、12 は n-InP バッファ層、13 は InGaAs/InAlAs MQW コア層、14 は p-InP 層、15 は p-InGaAs コンタクト層、16 は Fe ドープ半絶縁性 InP 埋め込み層、17 は p 側電極、18 は n 側電極、19 は SiO₂ 膜である。素子長は 300 μm である。

【 0 0 0 6 】次に、図 2 ～図 7 で上述の光素子の作製工程について述べる。なお、以下の説明において、形成途中の各層と前記作製完了後の光素子の各層とは正確には同一でないが、その一部が残り、完成後の各層を構成する層要素には同一符号を付して説明および理解の明瞭化を図ることとする。まず、図 2 に示すように、Fe ドープ半絶縁性 InP 基板 11 上に、n-InP バッファ層 12、InGaAs/InAlAs MQW コア層 13、p-InP クラッド層 14、p-InGaAs コンタクト層 15 を連続的に MOVPE 法によって成長させる。次に、図 3 に示すように、ストライプを形成するために選択成長マスクとして SiN_x 膜 26 をパターニングする。

【 0 0 0 7 】次に、図 4 に示すように、n-InP バッファ層 12 を一部の領域で残し、その他の領域は、素子間分離を図るために、Fe ドープ半絶縁性 InP 基板 11 に達するまでドライエッチングを行って、ストライプ構造を形成する。

【0008】次に、図5に示すように、SiN、選択成長マスク26以外の領域をFeドープ半絶縁性InP層16で埋め込む。

【0009】次に、図6に示すように、ストライプ構造周辺で、n-InPバッファ層12を、SiO₂膜19のパターニングにより、Feドープ半絶縁性InP層16を一部の領域を残してn-InPバッファ層12に達するまでドライエッチングで除去し、凹構造を形成する。

【0010】最後に、図7に示すように、ストライプ上のInGaAsコンタクト層15上にP側電極17を形成するとともに、凹構造から半導体上面まで引き出されたn側電極18を形成する。

【0011】しかし、ドライエッチングはエッチング深さの制御性が乏しいため、2度のドライエッチングにより凹構造部のn-InPバッファ層12厚が薄くなってしまい、この部分での抵抗が増大してしまう問題があった。さらに、この部分はn電極とのコンタクトをとる領域であるが、ドライエッチングによって直接表面をたたかれているため、表面層にダメージが導入され、半導体-金属の接触抵抗が増大するという問題もあった。図8に上記作製工程を経て作られた素子の抵抗をヒストグラムで示す。平均で7~8オームと通常の裏面にn電極があるタイプの素子に比べ20%程度の抵抗の増大がみられた。

【0012】

【発明が解決しようとする課題】同一面上にプラス電極とマイナス電極を形成した半導体光素子を半絶縁性高抵抗基板を用いて形成することは、浮遊容量を低減することによって高速駆動が可能であり、またフリップチップ実装に適している。

【0013】本発明の課題は、高速駆動が可能であるとともに、素子の電極金属と半導体の接触抵抗を含む素子抵抗を低減し、素子性能をさらに向上させる、および素子作製時の歩留りを向上させた導波路型半導体光素子およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記課題を解決するために、本発明の導波路型半導体光素子は、第1の導電性を有する半導体よりなる第1のクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電性を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電性を有しエネルギーギャップが前記第2のクラッド層より狭いコンタクト層とを半絶縁性半導体基板上に順次積層してなる積層構造の両側を、高抵抗半導体層によって埋め込んだストライプ状の光導波路構造を有し、さらに、前記ストライプ状の光導波路の片側方に拡張された前記第1のクラッド層の一部の露出領域に形成され前記高抵抗半導体層の表

面に至る第1の電極と、前記コンタクト層に形成された第2の電極を有する導波路型半導体光素子において、前記第1のクラッド層の拡張され露出した一部領域の厚さが、前記ストライプ状の該光導波路構造中に位置する該第1のクラッド層の厚さに等しいことを特徴とする。

【0015】また、前記課題を解決するために、本発明の導波路型半導体光素子の製造方法は、半絶縁性半導体基板上に、第1の導電性を有するクラッド層と、該第1のクラッド層より屈折率が高くエネルギーギャップが狭い半導体よりなるコア層と、第2の導電性を有し該コア層より屈折率が低くエネルギーギャップが広い半導体よりなる第2のクラッド層と、第2の導電性を有しエネルギーギャップが第2のクラッド層より狭いコンタクト層を、順次積層し、素子基板を形成する第1の工程と、誘電体薄膜からなるエッチングマスクとドライエッチングとを用い、前記素子基板を加工して、前記第1のクラッド層によって連結された2列のストライプ状のメサを形成する第2の工程と、前記2列のメサを半絶縁性半導体で埋め込む第3工程と、前記2列のメサの一方のメサに位置する前記コンタクト層と前記第1のクラッド層とを除去する第4の工程と、前記第1のクラッド層に比して選択的に前記コア層を除去する湿式エッチング液を用いて、前記一方のメサに位置する前記コア層を除去する第5の工程と、前記コア層に至るまで除去された前記一方のメサに位置する前記第1のクラッド層から前記半絶縁性半導体の表面に至る前記第1の電極を形成すると共に、前記2列のメサの内の前記一方のメサでない他方のメサに位置する前記コンタクト層上に前記第2の電極を形成する第6の工程と、を具備していることを特徴とする。

【0016】

【発明の実施の形態】本発明による導波路型半導体光素子は、同一面上にプラス電極とマイナス電極が並列した構造であり、かつ半絶縁性高抵抗基板を用いているため、浮遊容量を低減でき高速駆動が可能である。またフリップチップ実装にも適している。

【0017】また、本発明に従う導波路型半導体光素子は、メサストライプ構造部分の第1の導電性を有するバッファ層の厚さと、露出された第1の導電性を有するクラッド層の厚さが等しいため、露出された第1のクラッド層厚が十分である。したがって、従来例によるドライエッチング工程によって凹部分のバッファ層厚が薄くなってしまった場合に比べ、素子抵抗が低い。

【0018】また、本発明に従う半導体光素子は、第2のメサストライプの第2の導電性を有するコンタクト層、第2の導電性を有するクラッド層を逐次ウェットエッチングあるいはドライエッチングとウェットエッチングを併用して、コア層をウェットエッチングで除去し、第1の導電性を有するバッファ層を露出させた凹構造を形成する工程を有するため、凹構造底面部分のバッファ

層の表面はウェットエッチングによる、コア層とバッファ層のウェットエッチングの選択性により面だしされたことになる。したがって、きわめて高い寸法精度と面内平滑性を有することになり、作製歩留りが高くなる。

【 0 0 1 9 】 また、電極との接触界面となる凹構造底面のバッファ層表面だしをウェットエッチングで行うため、ドライエッチングのような加工ダメージが導入されない。したがって、きわめて良好な半導体-金属界面を形成することが可能となり、接触抵抗の低減が可能となる。

【 0 0 2 0 】

【実施例】 以下、図面を参照して本発明の実施例を詳細に説明する。

【 0 0 2 1 】 図 9 は本発明にかかる半導体光素子の斜視図である。図中、41 は Fe ドープ半絶縁性 InP 基板、42 は n-InP クラッド層、43 は InGaAs / InAlAs MQW コア層、44 は p-InP 層、45 は p-InGaAs コンタクト層、46 は Fe ドープ半絶縁性 InP 埋め込み層、47 は p 側電極、48 は n 側電極、49 は SiO₂ 膜である。

【 0 0 2 2 】 なお、ここでは InGaAs / InAlAs 系 MQW 半導体光素子を例としたが、材料、構造はこれに限定されるものではなく、InGaAlAs / InAlAs 系、GaAs / AlGaAs 系、InGaAs P / InP 系、InGaAs / InGaAs P 系の材料、コア層として MQW 構造の他バルク構造でもよい。また、歪超格子構造などを用いてもよい。素子長は 300 μm である。

【 0 0 2 3 】 図 10 ないし図 15 を用いて本発明の製造方法について説明する。なお、以下の説明において、形成途中の各層と前記作製完了後の光素子の各層とは正確には同一でないが、その一部が残り、完成後の各層を構成する層要素には同一符号を付して説明および理解の明瞭化を図ることとする

図 10 に示すように、半絶縁性 InP 基板 41 の上に有機金属気相成長法 (MOVPE) により n 形 InP クラッド層 (n 形不純物濃度 $2 \times 10^{11} \text{ cm}^{-3}$ 、厚さ 2 μm) 42、アンドープの InGaAs / InAlAs MQW コア層 (厚さ 0.19 μm) 43、p 形 InP クラッド層 (p 形不純物濃度 $5 \times 10^{11} \text{ cm}^{-3}$ 、厚さ 1.5 μm) 44 および P' InGaAs コンタクト層 (p 形不純物濃度 $2 \times 10^{11} \text{ cm}^{-3}$ 、厚さ 0.3 μm) 45 を順次成長する。MQW 層 43 の構成は、InGaAs 井戸層は厚さ 12 nm で 0.5 % 伸張歪み、InAlAs 障壁層は厚さ 7 nm で 0.4 % の圧縮歪みが導入されている。繰り返し周期は 10、エキシトンのピーク波長は 1.47 μm である。

【 0 0 2 4 】 次に、図 11 に示すように、成長面上に SiO₂ をスパッタ法により蒸着し、フォトリソグラフィおよび CF₄ と H₂ の混合ガスによる反応性ドライエッ

チング法によりストライプ状の第 1 のマスク 56 を形成する。この場合、光素子の横モードが単一となるようにストライプの幅を 2 μm とする。

【 0 0 2 5 】 次に、図 12 に示すように、CF₄ と H₂ の混合ガスによる反応性ドライエッチング法により、n 形 InP クラッド層 42 の途中までエッチングを行い、第 1 および第 2 のメサストライプ 101、102 を形成する。次に、再度、第 2 の SiO₂ を全面にわたり付け、通常のホトリソグラフィおよび CF₄ と H₂ の混合ガスによる反応性ドライエッチング法により、メサ上部、メサ側壁、および第 1 と第 2 のメサストライプ 101、102 の間に位置する n 形 InP クラッド層 103 上に第 2 の SiO₂ マスクを形成する。次に、CF₄ と H₂ の混合ガスによる反応性ドライエッチング法により、SiO₂ マスクで覆われていない領域を半絶縁性 InP 基板までエッチングを行う。その後、第 2 の SiO₂ 膜を除去し、第 1 の SiO₂ マスク 56 を露出させる。

【 0 0 2 6 】 次に、図 13 に示すように、SiO₂ マスク 56 を選択成長用マスクとして、メサ側壁、および露出した n 形クラッド層 103 と露出した半絶縁性半導体表面をすべて MOVPE 法により鉄をドープした半絶縁性 InP 結晶 46 によって埋め込む。

【 0 0 2 7 】 次に、図 14 に示すように、第 2 のストライプ上に SiO₂ 膜 49 の窓があくようにフォトリソグラフィにてパターニングする。続いて、CF₄ と H₂ の混合ガスによる反応性ドライエッチング法によって p' 形 InGaAs コンタクト層 45、p-InP クラッド層 44 と InGaAs / InAlAs MQW 層 43 の途中までエッチングして、続いて、硫酸と過酸化水素水の混合液によるウェットエッチングによって、MQW 層 43 の残りをエッチングして、凹構造を形成する。

【 0 0 2 8 】 なお、I-InP クラッド層 42 と MQW 層 43 の間で正確にエッチングを停止させ、かつその面が平滑にするため、MQW 層 43 はウェットエッチングによってエッチング工程を終わる必要がある。しかし、それ以外の層はドライエッチングでもウェットエッチングでもその方法は問わない。極端な例として、すべてウェットエッチングによってでもかまわない。

【 0 0 2 9 】 次に、図 15 に示すとおり、SiO₂ 膜 49 を窓開けした後、P' 形 InGaAs コンタクト層 45 の上に AuZnNi からなる p 側電極 47 を、凹構造底面の n 形 InP クラッド層 103 の上に AuGeNi からなる n 側電極 48 を、それぞれリフトオフ法と蒸着法によって付け、420℃ で約 20 秒間合金処理を行う。その後、ワイヤボンディング用に金属電極として Au を付ける。

【 0 0 3 0 】 P 側の電極 47 の大きさはストライプ部で 300 μm × 2 μm、パッド部で 40 μm × 30 μm。n 側電極 48 の大きさはストライプ部で 5 μm × 300

μm 、パッド部で $40\mu\text{m} \times 40\mu\text{m}$ である。

【0031】なお、 $n\text{-InP}$ クラッド層 42 と MQW 層 43 の間で正確にエッチングを停止させ、かつその面が平滑にするためには、両層間のウェットエッチングに対する選択性がなければならない。もし、 $n\text{-InP}$ クラッド層 42 と MQW 層 43 の間に十分な選択性が無かった場合、図 16 に示すように、 $n\text{-InP}$ クラッド層 42 と MQW 層 43 との間に十分選択性のあるエッチングストップ層 63 を入れてもよい。たとえば、 $\text{InGaAs}/\text{InAlAs}$ MQW 43 は、成長条件によって、 $n\text{-InP}$ クラッド層 42 とあまり選択性がとれない場合がある。この場合、エッチングストップ層として InGaAsP (1.3 μm 組成) 等を使用するとい

い。

【0032】次に、前述の実施例の半導体光素子の動作について述べる。図 17 に示すとおり、素子の抵抗は平均で 3 ~ 5 Ω であり、ドライエッチングを用いた従来例と比べて、1/3 程度低減している。素子容量は 0.3 ~ 0.6 pE と通常の半導体光素子に比較して約 1/2 ~ 1/3 になった。これは半絶縁性基板を用い、メサストライプをはさんで片側に p 形電極他方の側に n 形電極を形成したため、電気抵抗間の容量がほぼコア層と p 形クラッド層との接合容量だけになったためと考えられる。

【0033】図 18 に半導体光素子の消光特性を示す。半導体光素子は印加電圧 2 V で TE 偏光において 25 dB、TM 偏光において 22 dB の消光特性を得た。

【0034】また、図 19 に示すとおりこの半導体光素子の 3 dB 変調帯域は 50 GHz あり、超高速変調が可能であった。

【0035】なお、ここでは半導体光素子について述べたが、この半絶縁性基板上に形成され、かつ半絶縁性埋め込み層を有し、p および n 側電極がともに半導体表面上に並んで配置されうる光素子、すなわち半導体レーザや半導体受光素子についても、本発明の構造および作製方法は容易に適用できる。

【0036】

【発明の効果】以上説明したように、本発明によれば半導体光素子を半絶縁性半導体基板の上に歩留り良く形成でき、プラス電極とマイナス電極を同一面側から取り出すことで、高速な変調信号が得られる。さらに、接触抵抗を含む素子抵抗の低い半導体光素子をつくることができる。

【図面の簡単な説明】

【図 1】従来例を説明する高速変調体変調器の斜視図である。

【図 2】従来例の光素子の作製工程を説明する断面図である。

【図 3】従来例の光素子の作製工程を説明する断面図である。

【図 4】従来例の光素子の作製工程を説明する断面図である。

【図 5】従来例の光素子の作製工程を説明する断面図である。

【図 6】従来例の光素子の作製工程を説明する断面図である。

【図 7】従来例の光素子の作製工程を説明する断面図である。

【図 8】従来例における高速光素子の素子抵抗のヒストグラムを示す図である。

【図 9】本発明の実施例を説明する高速半導体光素子の斜視図である。

【図 10】本発明実施例の光素子の作製工程を説明する断面図である。

【図 11】本発明実施例の光素子の作製工程を説明する断面図である。

【図 12】本発明実施例の光素子の作製工程を説明する断面図である。

【図 13】本発明実施例の光素子の作製工程を説明する断面図である。

【図 14】本発明実施例の光素子の作製工程を説明する断面図である。

【図 15】本発明実施例の光素子の作製工程を説明する断面図である。

【図 16】本発明の実施例でエッチストップ層が付加された構造を説明する断面図である。

【図 17】本発明の実施例における高速光素子の素子抵抗のヒストグラムを示す図である。

【図 18】本発明の実施例における高速光素子の消光特性を示す図である。

【図 19】本発明の実施例における高速光素子の高周波応答特性を示す図である。

【符号の説明】

41 Fe ドープ半絶縁性 InP 基板

42 $n\text{-InP}$ クラッド層

43 $\text{InGaAs}/\text{InAlAs}$ MQW コア層

44 $p\text{-InP}$ クラッド層

45 $p\text{-InGaAs}$ コンタクト層

46 Fe ドープ半絶縁性 InP 埋め込み層

47 p 側電極

48 n 側電極

49 SiO_2 膜

56 SiO_2 膜

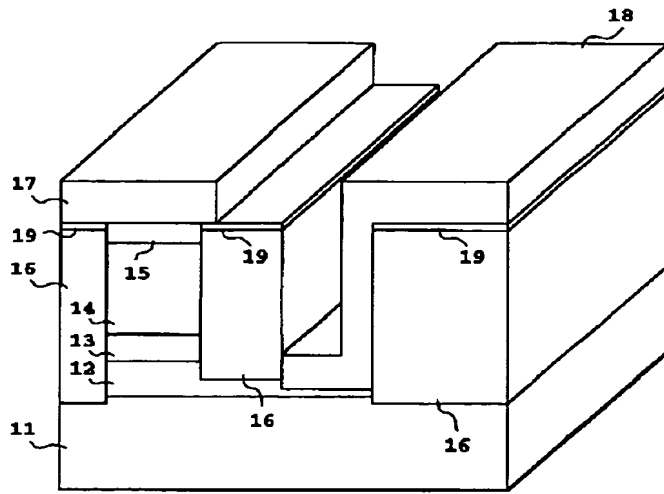
63 エッチングストップ層

101 第 1 のメサストライプ

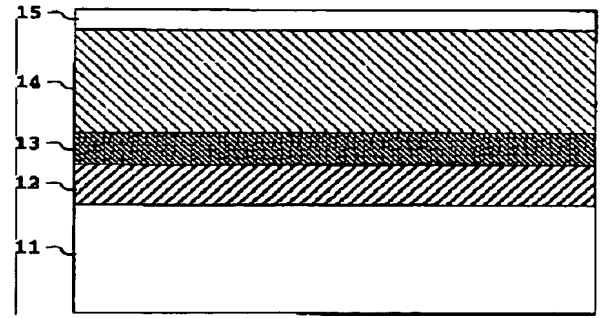
102 第 2 のメサストライプ

103 第 1 と第 2 のメサストライプの間に位置する n 型 InP クラッド層

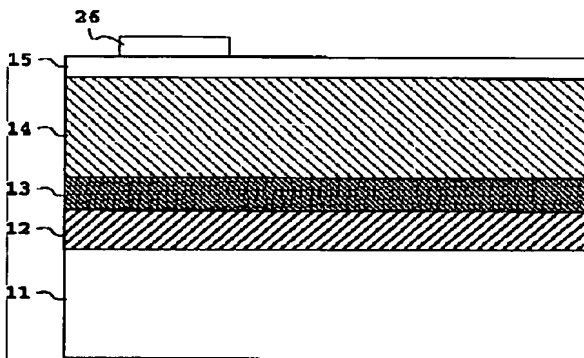
【図 1】



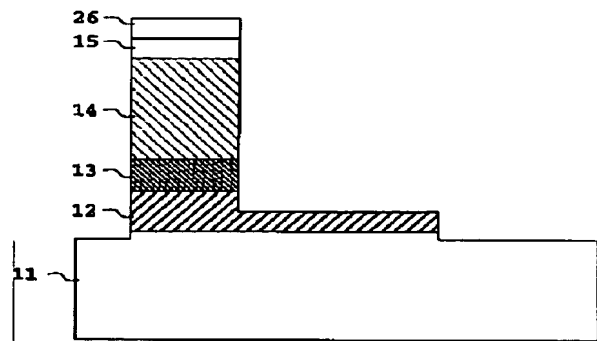
【図 2】



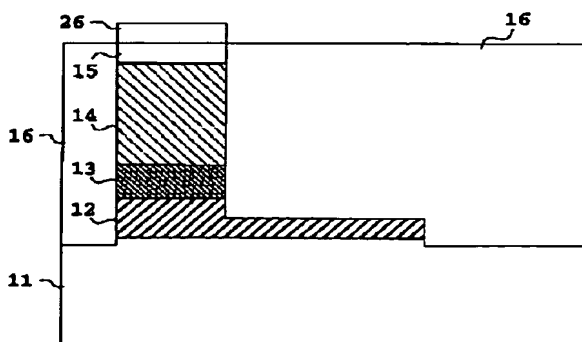
【図 3】



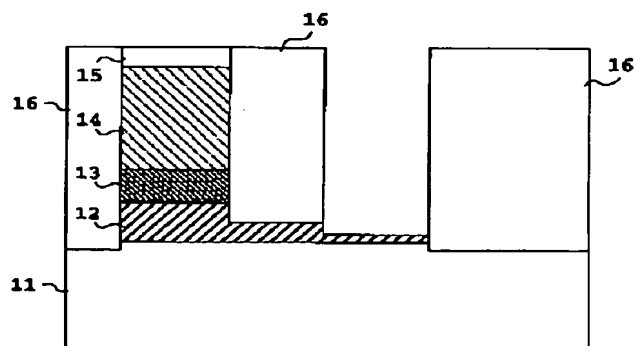
【図 4】



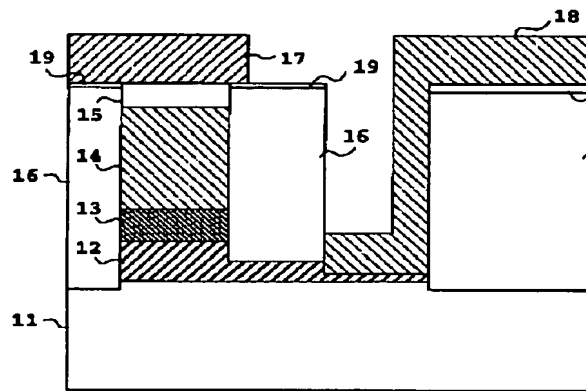
【図 5】



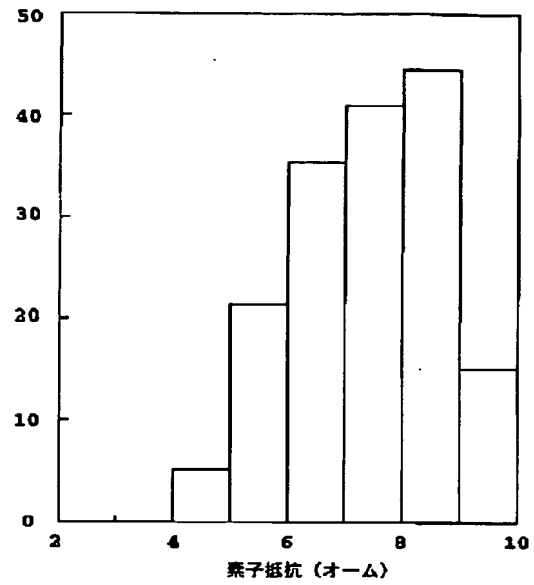
【図 6】



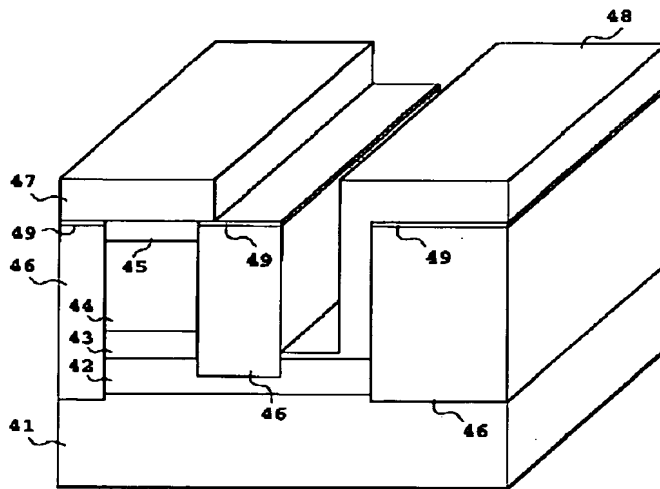
【図 7】



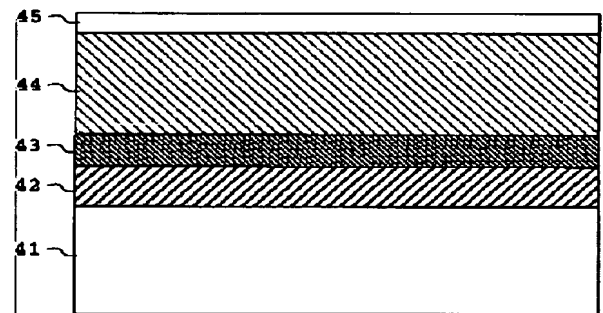
【図 8】



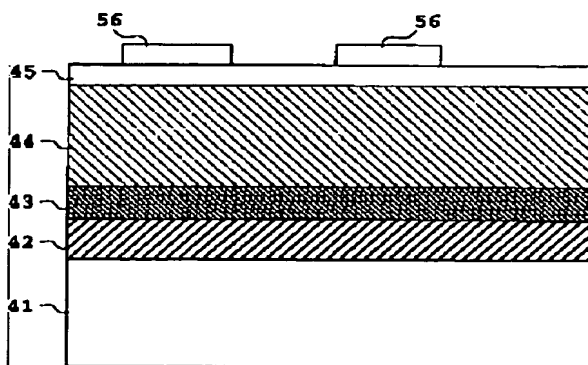
【図 9】



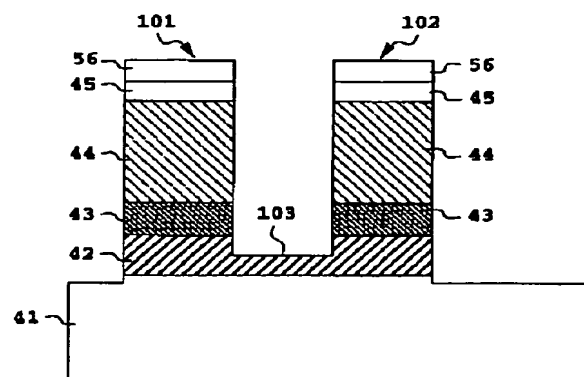
【図 10】



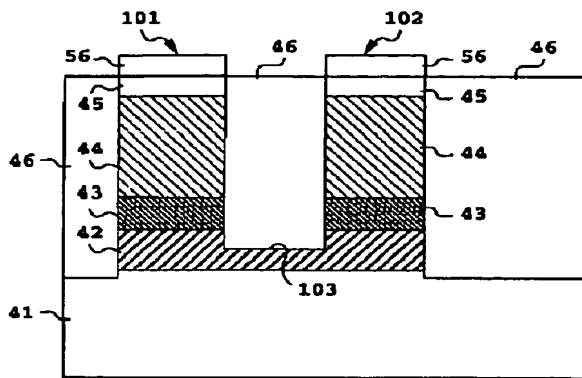
【図 11】



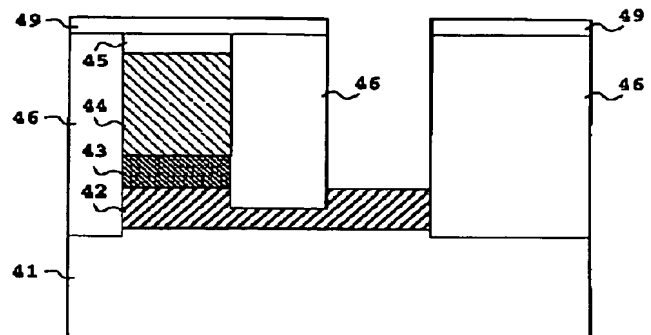
【図 12】



【図 1 3】

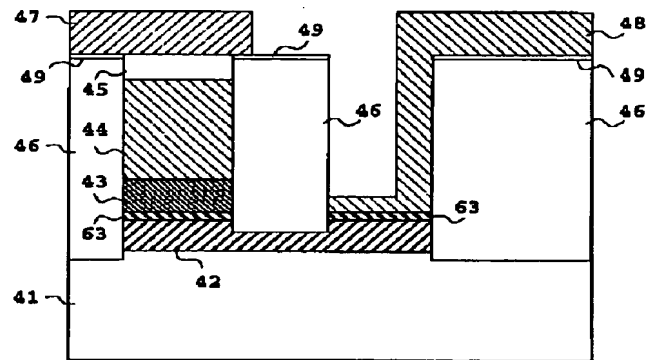
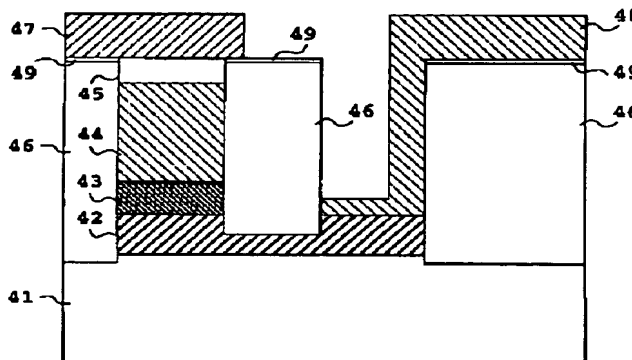


【図 1 4】

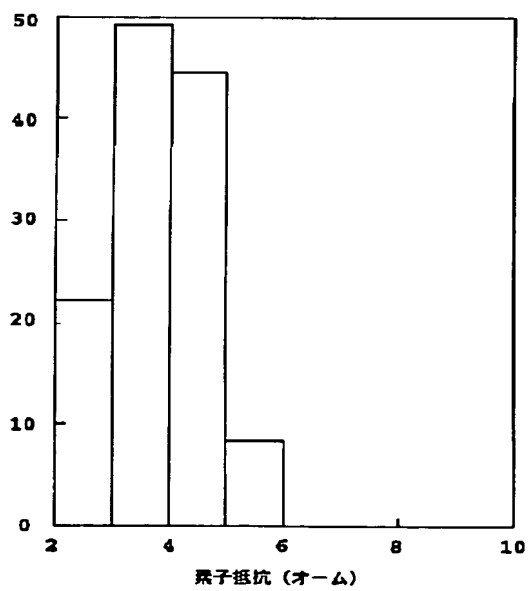


【図 1 6】

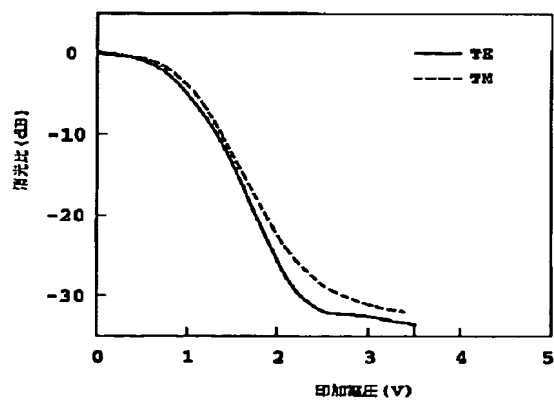
【図 1 5】



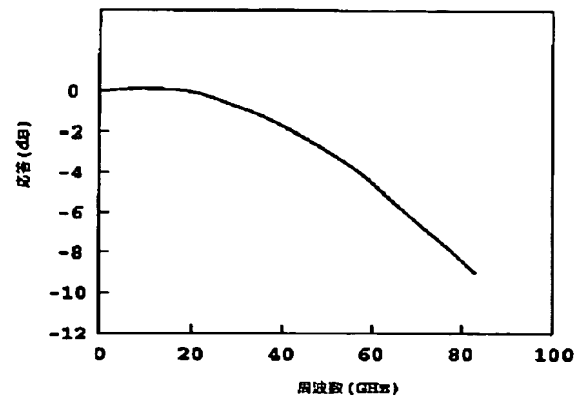
【図 1 7】



【図 1 8】



【図 19】



フロントページの続き

(72)発明者 野口 悦男

東京都新宿区西新宿三丁目19番2号 日

本電信電話株式会社内